

前言

本应用笔记为系统开发者们提供了所需的开发板特性硬件实现概述，如供电电源、时钟管理、复位控制、自举模式设置、调试管理。它显示了如何使用 STM32L0xx 产品系列，说明了开发 STM32L0xx 应用所需的最低硬件资源。

本文还包括了详细的参考设计原理图，说明了其主元件、接口和模式。

目录

1	电源	6
1.1	前言	6
1.1.1	独立 A/D 转换器电源和参考电压	8
1.1.2	独立 LCD 电源（仅适用于 STM32L0x3）	9
1.1.3	调压器	9
1.2	电源方案	11
1.3	复位和电源监控	12
1.3.1	上电复位 (POR)/ 掉电复位 (PDR), 欠压复位 (BOR)	14
1.3.2	可编程电压检测器 (PVD)	14
1.3.3	欠压复位 (BOR)	15
1.3.4	系统复位	16
2	时钟	17
2.1	MSI 时钟	17
2.2	HSE OSC 时钟	18
2.2.1	外部源 (HSE 旁路)	18
2.2.2	外部晶振 / 陶瓷谐振器 (HSE 晶振)	18
2.3	LSE OSC 时钟	20
2.3.1	外部晶振 / 陶瓷谐振器 (LSE 晶振)	20
2.3.2	外部源 (LSE 旁路)	20
2.4	HSE 上的时钟安全系统 (CSSHSE)	21
2.5	HSI16 时钟	21
2.6	LSI 时钟	21
3	自举配置	22
3.1	自举模式选择	22
3.2	嵌入式自举程序	23
3.3	BOOT0 引脚连接	23
4	调试管理	24
4.1	前言	24
4.2	SWD 调试端口 (串行线)	24
4.3	引脚排列和调试端口引脚	24

4.4	串行线调试 (SWD) 引脚分配	24
4.4.1	SWD 引脚分配	25
4.4.2	SWD 引脚上的内部上拉和下拉	25
4.4.3	使用标准 SWD 连接器的 SWD 端口连接	25
5	建议	26
5.1	印刷电路板	26
5.2	元件位置	26
5.3	接地和供电 (V_{SS} 、 V_{DD} 、 V_{SSA} 、 V_{DDA})	26
5.4	去耦	26
5.5	其它信号	27
5.6	不使用的 I/O 和特性	27
6	参考设计	28
6.1	说明	28
6.1.1	时钟	28
6.1.2	复位	28
6.1.3	自举模式	28
6.1.4	SWD 接口	28
6.1.5	电源	28
6.2	元件参考	29
7	版本历史	32

表格索引

表 1.	V_{LCD} 引线 与 GPIO 引脚的连接	9
表 2.	自举模式	22
表 3.	不同设备类别的接口	23
表 4.	SWD 端口引脚	24
表 5.	必备元件	29
表 6.	可选元件	29
表 7.	所有封装的参考连接	31
表 8.	文档版本历史	32
表 9.	中文文档版本历史	32

图片索引

图 1.	电源概述	7
图 2.	电源方案	11
图 3.	可选的 LCD 供电电源方案	12
图 4.	电源监控器	13
图 5.	上电复位 / 掉电复位波形	14
图 6.	PVD 阈值	15
图 7.	复位电路简图	16
图 8.	外部时钟	18
图 9.	晶振 / 陶瓷谐振器	18
图 10.	外部时钟	20
图 11.	晶振 / 陶瓷谐振器	20
图 12.	主机到板的连接	24
图 13.	SWD 端口连接	25
图 14.	V _{DD} /V _{SS} 引脚对的典型布局	27
图 15.	参考设计 (基于 STM32L053RBT6)	30

1 电源

1.1 前言

该芯片要求为不同的供电引脚提供不同的电源：

- $V_{DD} = 1.65\text{ V}$ 到 3.6 V ：I/O 和内部调压器的外部电源。通过 V_{DD} 引脚从外部提供。对于 V_{DD} 低于 1.8 V 的情况，请参见 [第 1.3.3 节：欠压复位 \(BOR\)](#)
- $V_{DDA} = V_{DD}$ ：ADC/DAC、比较器、复位模块、RC、PLL 的外部模拟电源。当使用 DAC 时，施加于 V_{DDA} 的最低电压为 1.8 V 。 V_{DDA} 电平必须一直等于 V_{DD} 。在上电和正常工作期间， V_{DD} 和 V_{DDA} 之间容许的最大差值为 300 mV 。
- $V_{LCD} = 2.5$ 到 3.6 V ，当 LCD 控制器采用外部供电时须提供该电压。当 LCD 由内部嵌入式升压转换器所产生的电压供电时， V_{LCD} 引脚必须连接至电容器。如果完全无需使用 LCD，那么该引脚应连接至 V_{DDA} 。
- $V_{DD_USB} = 3.0$ 到 3.6 V ， V_{DD_USB} 是 USB 收发器的专用独立 USB 电源。 3.0 V 的最小值可确保提供 USB 所需的信号电压。对于不使用 USB 的应用场合，必须提供 $V_{DD_USB} = 1.65$ 到 3.6 V 。

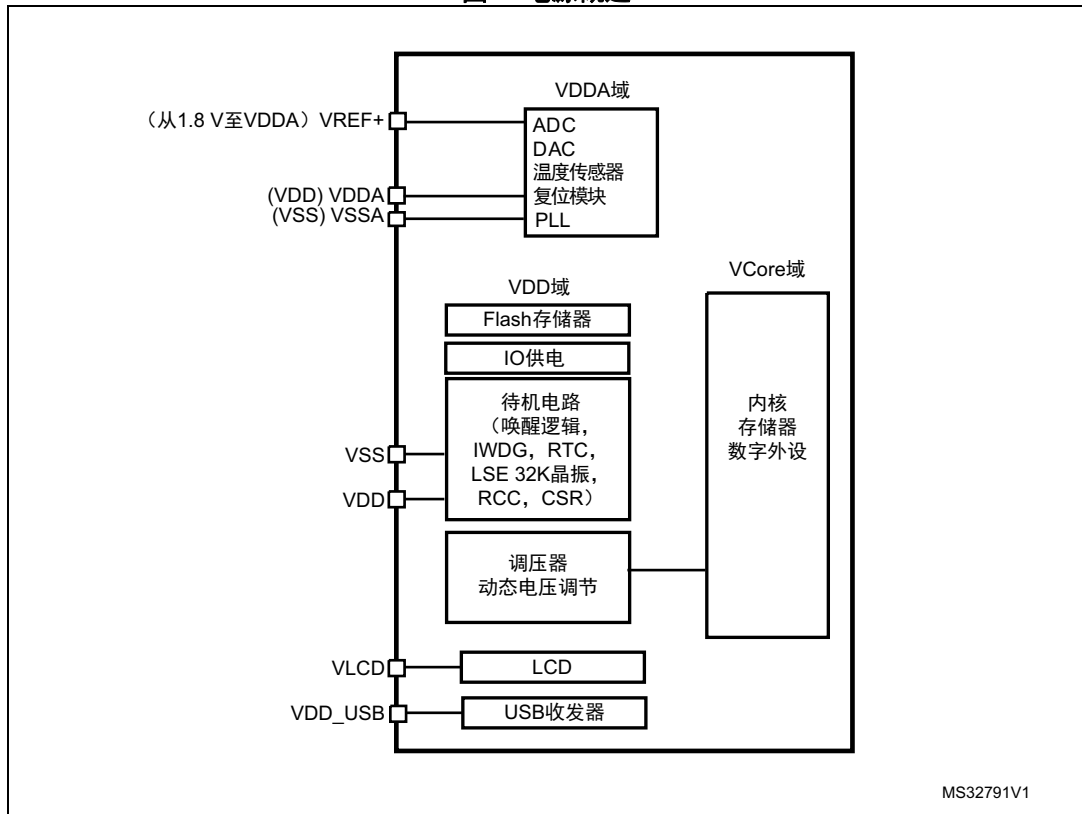
数字电源电压 (V_{CORE}) 配有嵌入式的线性调压器，具有 1.2 至 1.8 V 的三个不同的可编程范围。

为达到全速、全功能，器件需要 1.71 至 3.6 V 的工作电压供电 (V_{DD})，可达到接近 1.8 V 的数字电源电压 V_{CORE} (产品电压范围 1)。

当 V_{DD} 工作于 1.65 至 3.6 V 时，可选择产品电压范围 2 ($V_{CORE} = 1.5\text{ V}$) 和 3 ($V_{CORE} = 1.2\text{ V}$)。因此，频率分别限定为 16 MHz 和 4.2 MHz 。

当不使用 DAC 和欠压复位 (BOR) 时，器件可在 1.8 V 下至 1.65 V 的电源电压工作。

图 1. 电源概述



注: V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。

1.1.1 独立 A/D 转换器电源和参考电压

为了提高转换精度，ADC 和 DAC 配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

- ADC 电压源从单独的 V_{DDA} 引脚输入。
- V_{SSA} 引脚提供了独立的电源接地连接。

V_{DDA} 和 V_{REF} 需要一个稳定的电压。 V_{DDA} 上的耗电电流可达若干 mA（若需更多信息，请参见产品手册中的 I_{DD} （ADCx）、 I_{DD} （DAC）、 I_{DD} （COMPx）和 I_{DDA} ）。

当可行时（取决于封装）， V_{REF-} 必须连至 V_{SSA} 。 V_{SSA} 和 V_{REF-} 必须直接连接至 V_{SS} ，不得使用任何滤波器件，以免引起 ESD 问题。

在某些带有引脚 V_{REF+} 的封装上，为确保低电压输入和输出上的更好精度，用户可将 V_{REF+} 连接至一个独立的，低于 V_{DD} 的外部参考电压源。对于模拟输入（ADC）或输出（DAC）信号， V_{REF+} 为最高电压，以满量程值表示。

对于不设有该专用引脚的封装， V_{REF+} 会在内部链接到 ADC 电压源（ V_{DDA} ）。

1.1.2 独立 LCD 电源（仅适用于 STM32L0x3）

V_{LCD} 引脚用于控制玻璃 LCD 的对比度。可用两种方法使用这一引脚：

- 它可从外部电路接收所需的最大电压，由微控制器通过 segment 和 common 线供给玻璃 LCD。
- 还可用它连接外部电容，微控制器将该电容用于内部的升压转换器。此升压转换器由软件控制，以向玻璃 LCD 的 segment 和 common 线提供所需的电压。请参考专门的产品数据手册以获得该电容值。

向 segment 和 common 线提供的电压定义了玻璃 LCD 像素的对比度。当在帧间配置了死区时，可降低此对比度。

对于大像素的 LCD，像素的高电容值会降低 LCD 的信号波形质量。所以该器件可以将内部的 V_{LCD} 线路（LCD_VLCD1、LCD_VLCD2、LCD_VLCD3）连接至可选的电容。这种方式通过限制使用高阻值电阻网络来改善段线和共用线的信号波形质量，这样无须额外流耗即可改善信号质量。这些去耦合电容的电容值必须根据 LCD 玻璃和 PCB 的电容值进行调整。作为参考，用户可将去耦电容器的电容值设为 LCD 和 PCB 电容值的 10 倍。LCD 引线必须按照偏置配置来连接。

表 1. V_{LCD} 引线 与 GPIO 引脚的连接

引线	偏置			根据 CAPA[2:0] 位数选择引脚
	1/2	1/3	1/4	
LCD_VLCD3	未使用	未使用	3/4 V_{LCD}	PB0 或 PE12
LCD_VLCD2	1/2 V_{LCD}	2/3 V_{LCD}	2/4 V_{LCD}	PB2
LCD_VLCD1	未使用	1/3 V_{LCD}	1/4 V_{LCD}	PB12 或 PE11

1.1.3 调压器

此内部调压器在复位后始终处于使能状态。可配置其为内核提供三个不同的电压范围。选择一个低 V_{core} 范围可降低耗电，但会降低最大可接受内核速度。以降序排列的耗电范围如下：

- 范围 1，仅对高于 1.71 V 的 V_{DD} 可用，具有最大速度；
- 范围 2 具有高至 16 MHz 的 CPU 频率；
- 范围 3 具有高至 4.2 MHz 的 CPU 频率。

注： 在范围 1 中，当 V_{DD} 低于 2.0V 时，必须管理处于运行模式的 CPU 频率，以避免单次动作的变化比例超过 4。两次动作之间的延迟必须达到 5 μ s。当从低功耗模式唤醒时则无此限制。

根据应用的不同，调压器可采用三种不同的模式工作：

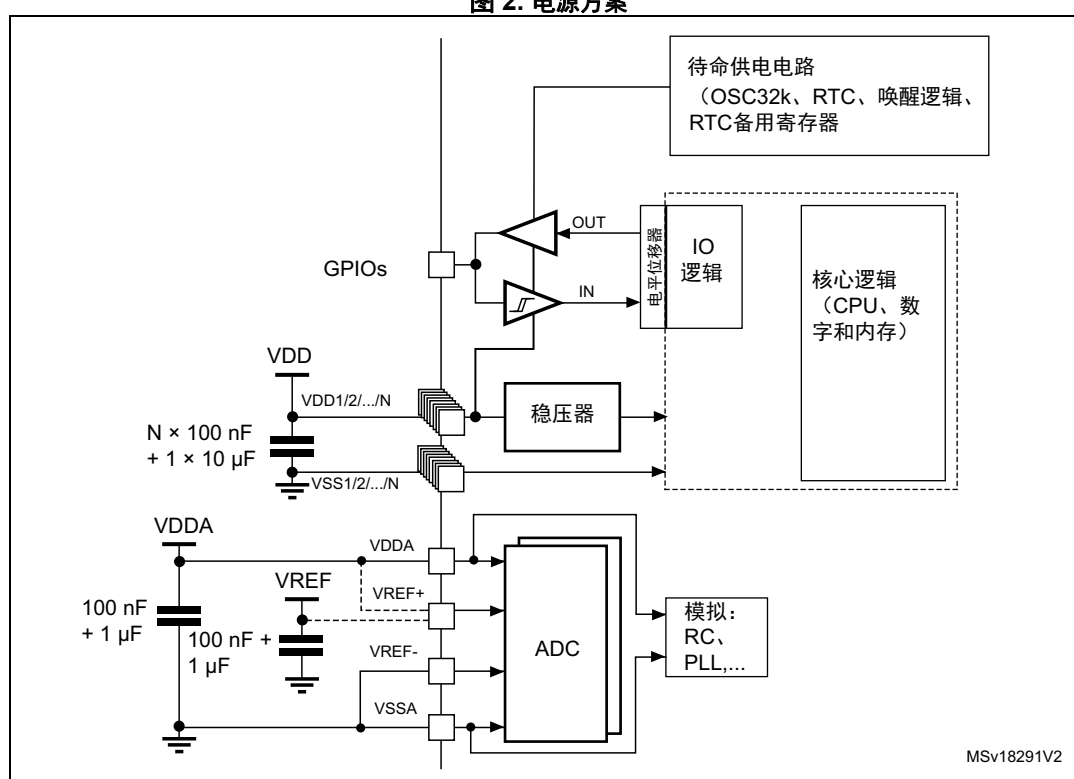
- 在运行模式中，调压器为 V_{core} 域（内核、存储器和数字外设）提供全功率；
- 在停止模式、低功耗运行与低功耗等待模式中，调压器为 V_{core} 域提供低功耗，以保留寄存器和 SRAM 的内容。
- 在待机模式中，调压器掉电。除了由备用电路供电的部分，寄存器和 SRAM 的内容丢失。

1.2 电源方案

电路由稳定的供电电源 V_{DD} 供电。

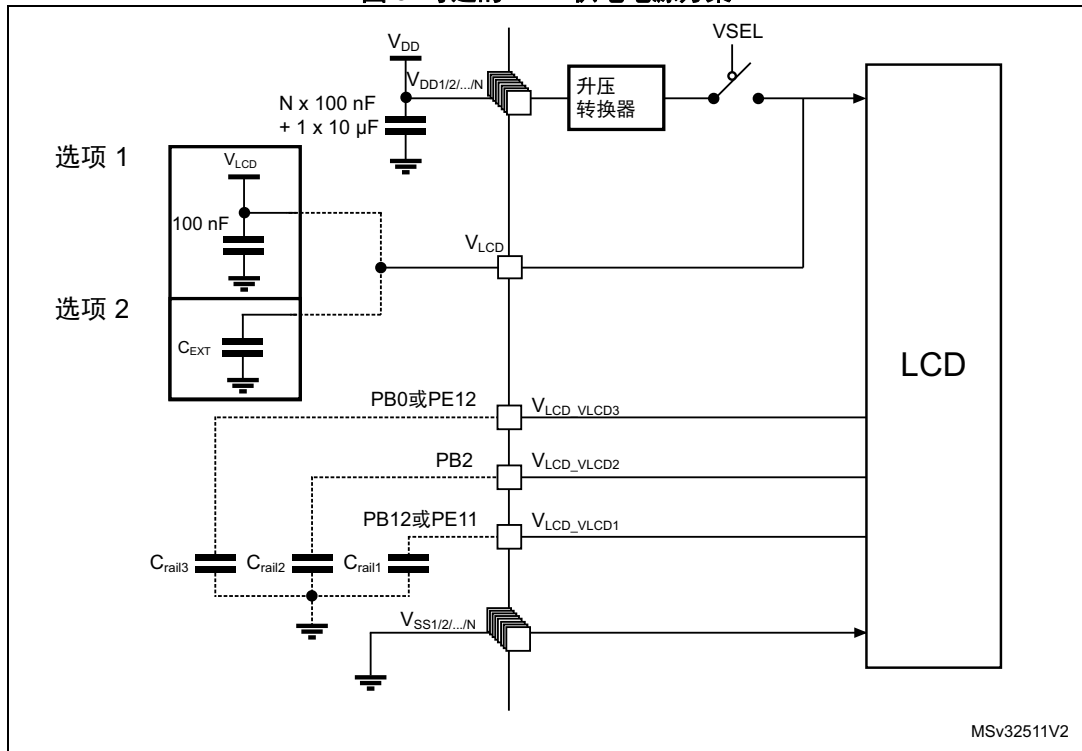
- V_{DD} 引脚必须连至带有外部去耦电容的 V_{DD} ；封装的单个钽电容或陶瓷电容（最低 $4.7 \mu\text{F}$ ，典型 $10 \mu\text{F}$ ）+ 每个 V_{DD} 引脚一个 100 nF 陶瓷电容）。
- V_{DDA} 引脚必须连至两个外部去耦电容（ 100 nF 陶瓷电容 + $1 \mu\text{F}$ 钽电容或陶瓷电容）。
- V_{REF+} 引脚可连至 V_{DDA} 外部供电电源。若在 V_{REF+} 上施加了一个单独的外部参考电压，则必须将一个 100 nF 和一个 $1 \mu\text{F}$ 电容连至此引脚。若需补偿 V_{REF} 上的峰值耗电，当采样速度高时，可将 $1 \mu\text{F}$ 电容增加至最大 $10 \mu\text{F}$ 。当使用 ADC 或 DAC 时， V_{REF+} 必须保持在 1.8 V 和 V_{DDA} 之间。当 ADC 和 DAC 未激活时， V_{REF+} 可接地；这可让用户能够关闭外部电压参考。
- 可采用更多措施过滤数字噪声： V_{DDA} 可通过铁氧体磁环连至 V_{DD} 。这种情况下，注意保持 $(V_{DDA} - V_{DD})$ 差小于 300 mV 。

图 2. 电源方案



1. V_{REF+} 连至 V_{DDA} 或 V_{REF-} 。
2. N 为 V_{DD} 和 V_{SS} 输入数目。

图 3. 可选的 LCD 供电电源方案



- **选项 1:** 由专用 V_{LCD} 电源为 LCD 供电， V_{SEL} 开关为开。
- **选项 2:** 由内部升压转换器为 LCD 供电， V_{SEL} 开关关闭，需要外部电容以确保此转换器行为正确。

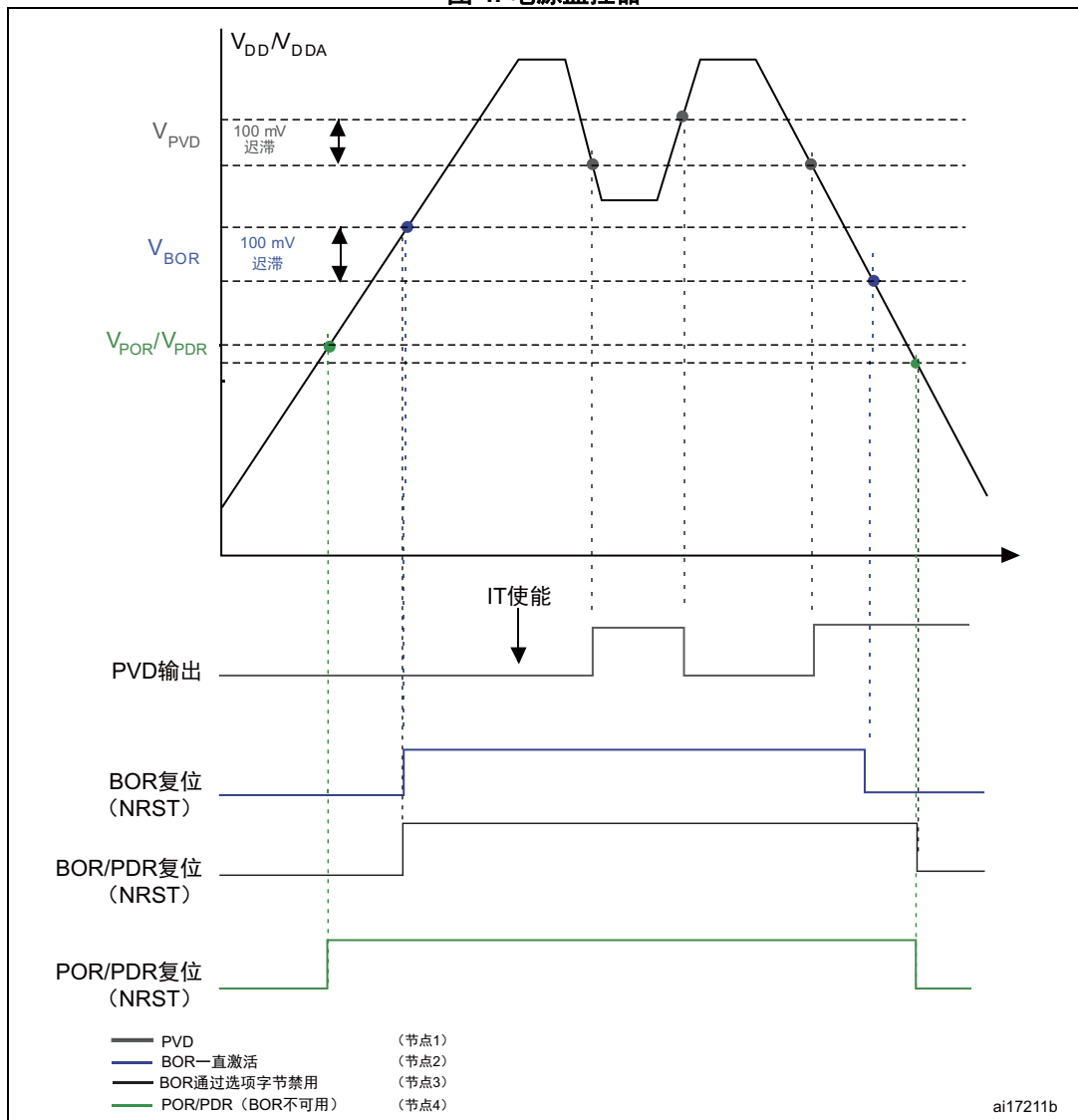
注： V_{LCD} 引线的可用性取决于器件封装。

1.3 复位和电源监控

对主调压器和低功耗调压器的输入供电由上电 / 掉电 / 欠压复位电路监控。上电 / 掉电复位为零耗电监控，具有固定的门限电压，而欠压复位有多种门限可选，耗电极低但不为零。

此外，STM32L0xx 内置了一个可编程的电压检测器，用于将供电电压与可编程门限比较。当供电低于 V_{PVD} 门限和 / 或当供电高于 V_{PVD} 门限时，会生成中断。随后，中断服务程序会生成一条警告消息并且 / 或者使 MCU 进入安全状态。

图 4. 电源监控器



1. 所有 STM32L 器件上都有 PVD，它可由软件启用或禁用。
2. BOR 仅在工作电压从 1.8 至 3.6 V 的器件上可用，除非被选项字节禁用，它会掩盖 POR/PDR 门限。
3. 当选项字节禁用 BOR 时，当 V_{DD} 低于 PDR 电平时，会发生复位。
4. 工作于 1.65 至 3.6 V 的器件没有 BOR，当 V_{DD} 高于 POR 电平时，会释放复位，当 V_{DD} 低于 PDR 电平时，会发生复位。

1.3.1 上电复位 (POR)/ 掉电复位 (PDR), 欠压复位 (BOR)

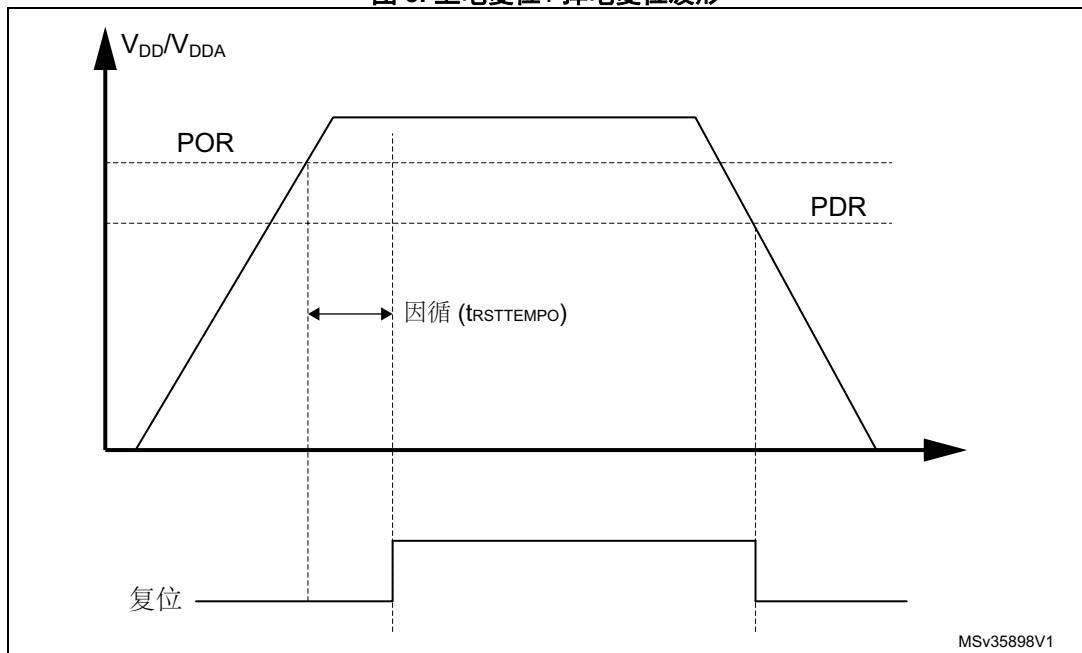
监控电压从 0.7 V 起。

上电期间, 对于工作于 1.8 和 3.6 V 的器件, BOR 会保持器件处于复位, 直到供电电压 (V_{DD} 和 V_{DDA}) 接近最低的可接受电压 (1.8 V)。在上电时, 此内部复位会维持 ~1 ms, 以等待供电达到最终值并稳定。

在掉电时, 一旦电源低于最低限 (即 1.65 V), 则立即激活复位。

在开机时, 应维持一个 0.7 V 以下的预定义复位。复位释放的上限在产品数据手册的电气特性一节中定义。

图 5. 上电复位 / 掉电复位波形



对于高于芯片最低限的可编程门限, 可将欠压复位配置至需要的值。BOR 还可用于提前检测电源压降。BOR 的门限值可通过 FLASH_OBR 选项字节配置。

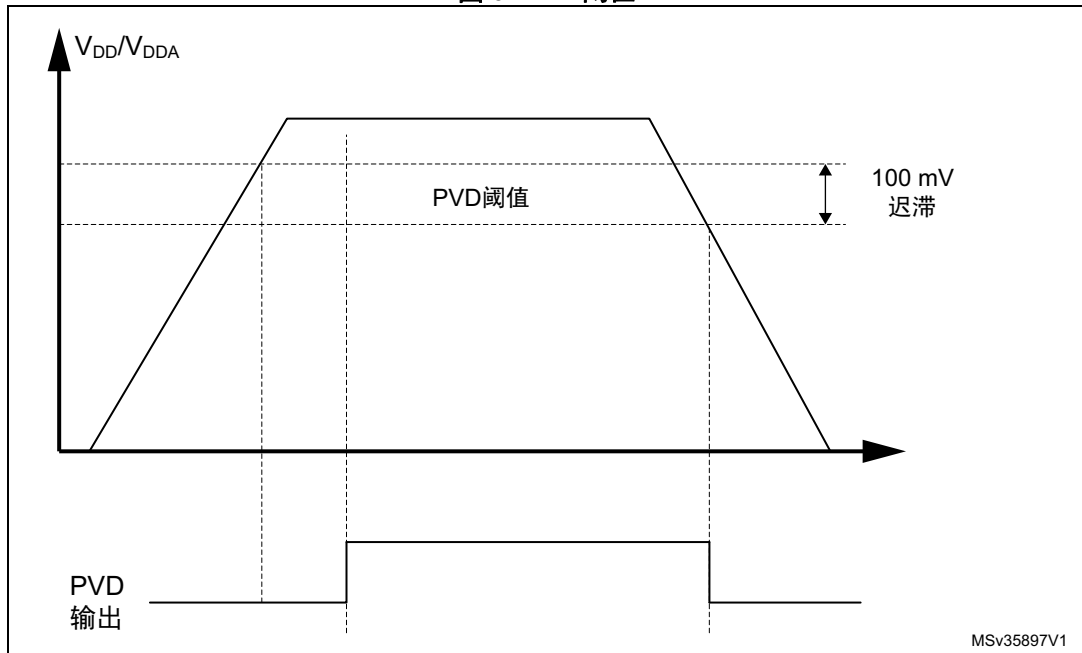
1.3.2 可编程电压检测器 (PVD)

该器件还有一个嵌入式可编程电压检测器 (PVD), 用于监视 V_{DD}/V_{DDA} 电源并将其与 V_{PVD} 阈值进行比较。可由软件选择 1.85 V 和 3.05 V 之间的七个不同的 PVD 电平, 步长为 200 mV。

当 V_{DD}/V_{DDA} 低于 V_{PVD} 阈值和 / 或高于 V_{PVD} 阈值时, 将产生中断。随后, 中断服务程序会生成一条警告消息并且 / 或者使 MCU 进入安全状态。

PVD 由软件配置使能。该功能的用处之一就是可以在中断服务程序中执行紧急关闭系统的任务。

图 6. PVD 阈值



1.3.3 欠压复位 (BOR)

上电期间，欠压复位 (BOR) 将使器件保持复位状态，直到电源电压达到指定的 V_{BOR} 阈值。

对于工作于 1.65 至 3.6 V 间的器件，BOR 选项不可用，电源供电由 POR/PDR 监控。由于 POR/PDR 门限为 1.5 V，因此在 V_{POR}/V_{PDR} 门限和最低产品工作电压 1.65 V 之间存在一个“盲区”。

对于工作于 1.8 至 3.6 V 之间的器件，BOR 在开机时一直激活，门限为 1.8 V。

当释放系统复位时，可通过加载选项字节重新配置或禁用 BOR 电平。

若 BOR 电平在开机时保持在最低电平 1.8 V，在掉电时为 1.65 V，则 BOR 完全管理系统复位，产品工作电压处于安全范围内。

当选项字节禁用 BOR 选项时，掉电复位由 PDR 控制，在 1.65 V 和 V_{PDR} 之间存在“盲区”。

V_{BOR} 通过器件选项字节进行配置。默认情况下，激活最低 0 级门限。可选择五个可编程的 V_{BOR} 门限（请参见产品手册，以获得实际的 V_{BOR0} 至 V_{BOR4} 门限）。

当电源电压 (V_{DD}) 降至所选 V_{BOR} 阈值以下时，将使器件复位。当 V_{DD} 高于 V_{BOR} 上限时，释放器件复位，系统可以启动。

通过对器件选项字节进行编程可以禁止 BOR。要禁止 BOR 功能， V_{DD} 必须高于 V_{BOR0} ，以启动器件选项字节编程序列。上电和掉电由 POR 和 PDR 监控（参见产品手册中的上电复位 (POR)/ 掉电复位 (PDR) 一节）。

BOR 阈值滞回电压约为 100 mV（电源电压的上升沿与下降沿之间）。

1.3.4 系统复位

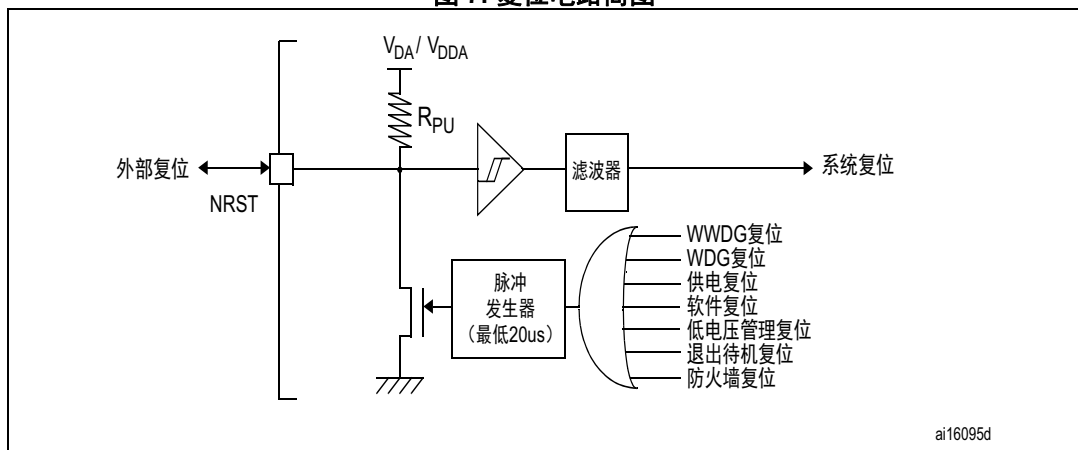
除了 RTC、备份寄存器、RCC 控制 / 状态寄存器、RCC_CSR 以外，一次系统复位会将所有寄存器设为其复位值。

只要发生以下事件之一，就会产生系统复位：

1. NRST 引脚低电平（外部复位）
2. 窗口看门狗计数结束（WWDG 复位）
3. 独立看门狗计数结束（IWDG 复位）
4. 由软件设置复位位（SWreset）
5. 进入所配置的待机或停止模式，生成复位（低功耗管理复位）
6. 选项字节加载复位
7. 退出待机模式
8. 防火墙复位。

可通过查看控制 / 状态寄存器（RCC_CSR）中的复位标志确定复位源。

图 7. 复位电路简图



STM32L 不需外部复位电路即可正确上电。仅建议一个下拉电容以提高 EMS 性能，保护器件不受非正常的复位影响（参见图 7）。

通过内部电阻对下拉电容充电 / 放电会增加器件功耗。该电容的建议值为 100 nF，可将其降至 10 nF 以限制此功耗。

2 时钟

可以使用四种不同的时钟源来驱动系统时钟 (SYSCLK):

- HSI16 (高速内部) 振荡器时钟
- HSI (高速外部) 振荡器时钟
- PLL 时钟
- MSI (多速内部) 振荡器时钟

在从复位重启、从待机低功耗模式唤醒后, MSI 时钟被用作系统时钟源。从停止的低功耗模式唤醒后, 会采用 MSI、HSI16 或 HSI16 的四分频作为系统时钟源。

器件具有以下两个次级时钟源:

- 37 kHz 低速内部 RC (LSI RC), 该 RC 用于驱动独立看门狗, 也可选择提供给 RTC 用于停机 / 待机模式下的自动唤醒。
- 32.768 kHz 低速外部晶振 (LSE 晶振), 用于驱动实时时钟 (RTCCLK)

STM32L0x2 和 STM32L0x3 具备 HSI48 (高速内部) 振荡器时钟, 可用于 USB 和随机数发生器。无须外部时钟源即可进行 USB 通信。

对于每个时钟源来说, 在未使用时都可单独打开或者关闭, 以降低功耗。

若需时钟树的说明, 请参考 STM32L0xx 参考手册 (RM0367、RM0376、RM0377)。

2.1 MSI 时钟

MSI 时钟信号是从内部 RC 振荡器生成的。其频率范围可由软件通过 RCC_ICSCR 寄存器调整。有七个频率范围可用: 65.5 kHz、131 kHz、262 kHz、524 kHz、1.05 MHz、2.1 MHz (默认值) 和 4.2 MHz, 都是 32.768 kHz 的倍数。

MSI 时钟被用作从复位重启后的系统时钟。

MSI RC 振荡器的优势在于可提供一个低成本 (无外部元件) 低功耗的时钟源。它被用作低功耗模式中的唤醒时钟, 以降低功耗和唤醒时间。

RCC_CR 寄存器中的 MSIRDY 标志指示了 MSI RC 是否稳定。在启动时, 硬件将此位置 1 后, MSI RC 输出时钟才可以使用。

可通过 RCC_CR 寄存器开关 MSI RC (默认为开)。

校准

如果应用受到电压或温度变化影响, 则这可能也会影响到 RC 振荡器的速度。您可通过 RCC_ICSCR 寄存器微调应用中的 MSI 频率。典型情况下, 需要使用 HSE 或 LSE 作为参考 (若需使用 TIM21 做时钟测量的详细信息, 请参见 RM0367/376/377)。若需更多信息, 请参考 AN3300 “如何校准 STM32Lxx 内部 RC 振荡器”。

2.2 HSE OSC 时钟

高速外部时钟信号 (HSE) 有 2 个时钟源：

- HSE 用户外部时钟（参见图 8）
- HSE 外部晶振 / 陶瓷谐振（参见图 9）

图 8. 外部时钟

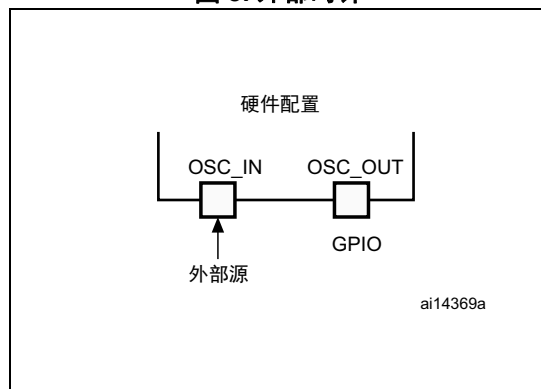
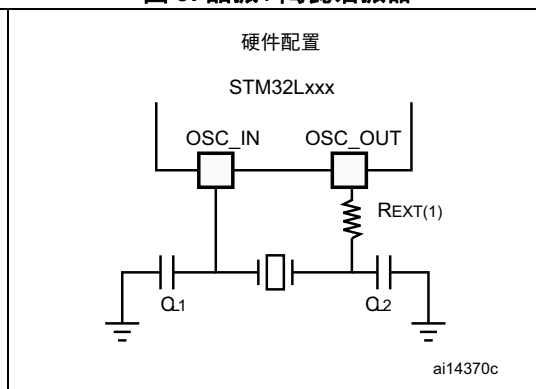


图 9. 晶振 / 陶瓷谐振器



1. R_{EXT} 的值取决于晶振特性。典型值范围是 5 到 $6 R_S$ （谐振串联电阻）。若需精调 R_{EXT} 的值，请参考 AN2867（ST 微控制器振荡器设计指南）。
2. 负载电容 C_L 的公式如下： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 为引脚电容以及与电路板或 PCB 走线相关的电容。典型情况下，它在 2 pF 和 7 pF 之间。请参考第 5.4 节：去耦以使其值最小。

2.2.1 外部源（HSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 32 MHz。

当采用 OSC_OUT 引脚作为 GPIO 时，必须以占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚。对于 2 类器件，当封装不提供 OSC_IN 引脚时，可用 PA0 来接收外部时钟源信号，请参见 RM0377 中的 CK_IN 定义。从电流消耗角度来看，优先选择方波信号（参见图 8）。

当采用 HSE 旁路且 V_{DD} 低于 2.0V 且处于范围 1 时，请按照第 1.1.3 节：调压器的解释注意频率下降。

2.2.2 外部晶振 / 陶瓷谐振器（HSE 晶振）

外部振荡器频率范围为 1 至 25 MHz。

外部振荡器的优点是主时钟精度非常高。相关的硬件配置如图 9 所示。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5 到 25 pF（典型值）之间的高质量陶瓷电容。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10 pF）。

欲了解更多详细信息，请参见产品数据手册上的电气特性章节以及应用笔记 AN2867《STM 微控制器的振荡器设计指南》。

2.3 LSE OSC 时钟

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器，可作为实时时钟 (RTC) 的时钟源来提供时钟 / 日历或其它定时功能，具有功耗低且精度高的优点。

2.3.1 外部晶振 / 陶瓷谐振器 (LSE 晶振)

LSI 晶振可通过控制 / 状态寄存器 (RCC_CSR) 中的 LSEON 位打开或关闭。使用 RCC_CSR 寄存器中的 LSEDRV[1:0] 位，可在运行时更改晶振驱动强度，以实现稳健性、短启动时间和低功耗之间的最佳平衡 (参见图 10)。

LSERDY 标志位 (在 RCC_CSR 中) 表示 LSE 晶体是否稳定。在启动时，硬件将此位置 1 后，LSE 晶振输出时钟信号才可以使用。如在时钟中断使能寄存器 (RCC_CIR) 中使能中断，则可产生中断。

2.3.2 外部源 (LSE 旁路)

在此模式下，必须提供外部时钟源。最高频率不超过 1 MHz。可通过设置 LSEBYP 和 LSEON 位对该模式进行选择 (在 RCC_CSR 中)。必须采用外部时钟信号 (方波、正弦波或三角波) 来驱动 OSC32_IN 引脚，从电流消耗角度来看，优先采用方波信号。OSC32_OUT 引脚可用作 GPIO (请参见图 10)

图 10. 外部时钟

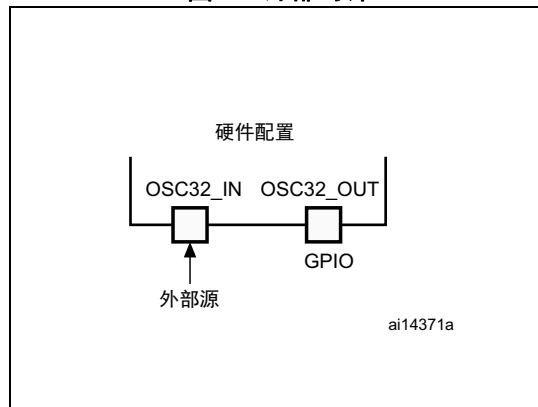
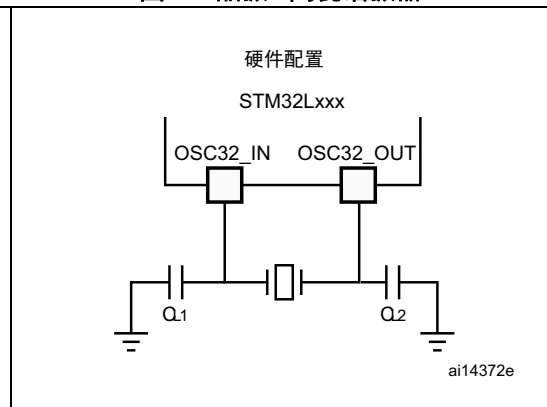


图 11. 晶振 / 陶瓷谐振器



1. OSC32_IN 和 OSC_OUT 引脚也可用作 GPIO，但建议在同一应用中不要既用作 RTC 又用作 GPIO 引脚。

2.4 HSE 上的时钟安全系统（CSSHSE）

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。如果 HSE 振荡器时钟发生故障，此振荡器将自动禁止，并且同时还将生成一个中断来向软件通知此故障（HSE 上时钟安全系统中断，CSSHSEI），以使 MCU 能够执行救援操作。CSSHSEI 与 Cortex[®]-M0+ NMI（不可屏蔽中断）异常向量相链接。

如果直接或间接使用 HSE 振荡器作为系统时钟（间接是指：该振荡器直接用作 PLL 的输入时钟，并且该 PLL 时钟为系统时钟）并且检出故障，则系统时钟将切换到 MSI 振荡器并且外部 HSE 振荡器将被禁止。如果 HSE 振荡器时钟是充当系统时钟的 PLL 的时钟输入，则在发生故障时，PLL 也会被禁止。

若需详细信息，请参见 STM32L0xx 参考手册（RM0367、RM0376、RM0377）。

2.5 HSI16 时钟

HSI16 时钟信号由内部 16 MHz RC 振荡器生成，可直接用作系统时钟，或者用作 PLL 输入。HSI16 RC 振荡器的优点是成本较低（无需使用外部组件）。它比 HSE 晶振具有更快的启动时间。但即使校准后，频率也不如外部晶振或陶瓷谐振器的频率精度高。

校准

因为生产工艺不同，不同芯片的 RC 振荡器频率也不同，因此 ST 会对每个器件进行出厂校准，达到 $T_A = 25^\circ\text{C}$ 时 1% 的精度。

如果应用场合会遇到电压和温度变化，那么 RC 振荡器的速度会受到影响。您可通过 RCC_ICSCR 寄存器微调应用中的 HSI16 频率。典型情况下，需要使用 HSE 或 LSE 作为参考（若需使用 TIM21 做时钟测量的详细信息，请参见 RM0367/376/377）。若需更多信息，请参考 AN3300 “如何校准 STM32Lxx 内部 RC 振荡器”。

2.6 LSI 时钟

LSI RC 可作为低功耗时钟源在停机和待机模式下保持运行，供独立看门狗 (IWDG) 和 RTC 使用。时钟频率约为 40 kHz（30 kHz 到 60 kHz 之间）。有关详细信息，请参见数据手册的电气特性部分。

3 自举配置

3.1 自举模式选择

在 Root part number 1 中，可通过 BOOT0 引脚和 nBOOT1 选项位选择三种不同的自举模式，如 表 2 所示。

表 2. 自举模式

自举模式选择引脚		自举模式	自举空间
BOOT1 ⁽¹⁾	BOOT0		
x	0	主 Flash	选择主 Flash 作为自举空间
0	1	系统存储器	选择系统存储器作为自举空间
1	1	嵌入式 SRAM	选择嵌入式 SRAM 作为自举空间

1. BOOT1 的值为 nBOOT1 选项位取反。

复位后，在 SYSCLK 的第四个上升沿锁存 BOOT0 引脚和 nBOOT1 位的值。用户必须设置 nBOOT1 和 BOOT0 以选择需要的自举模式。

BOOT0 是专用引脚。BOOT0 引脚和 nBOOT1 位在退出待机模式时会重新采样。因此，当处于待机模式时，这些引脚必须保持所需的自举模式配置。这样的启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

根据所选的自举模式，主 Flash 程序存储器、系统存储器或 SRAM 可如下访问：

- 从主 Flash 存储器自举：主 Flash 程序存储器在自举存储器空间（0x0000 0000）中有别名，但也可从它原来的存储器空间（0x0800 0000）访问。换句话说，闪存内容可从地址 0x0000 0000 或 0x0800 0000 开始访问。
- 从系统存储器自举：系统存储器在自举存储器空间（0x0000 0000）中有别名，但也可从它原来的存储器空间（0x1FFF EC00）访问。
- 从嵌入式 SRAM 启动：SRAM 在启动内存空间（0x0000 0000）中有别名，但也可从它原来的内存空间（0x2000 0000）访问。

3.2 嵌入式自举程序

嵌入式自举程序位于片内引导程序中，由 ST 在生产阶段编程。利用 表 3 所列的其中一种借口对非易失性存储器重新编程。

表 3. 不同设备类别的接口

接口	端口	设备类别
USART1	PA9/PA10	类别 3 类别 5
USART2	PA9/PA10	类别 2
	PA2/PA3	类别 3 类别 5
SPI1	PA4/PA5/PA6/PA7	类别 2/3 类别 5 (无 USB)
SPI2	PB12/PB13/PB14/PB15	类别 3 类别 5 (无 USB)
USB	PA11/PA12	类别 5 (有 USB)
I2C1	PB6/PB7	类别 5 (无 USB)
I2C2	PB10/PB11	类别 5 (无 USB)

有关详细信息，请参见应用笔记 AN2606。

3.3 BOOT0 引脚连接

Root part number 1 的 BOOT0 引脚具有比其他 GPIO 更低的 V_{IL} (详细内容见数据手册 I/O 静态特性)，因此它不符合 CMOS 要求，故当由其他 CMOS 电路驱动时，必须验证信号电平。

4 调试管理

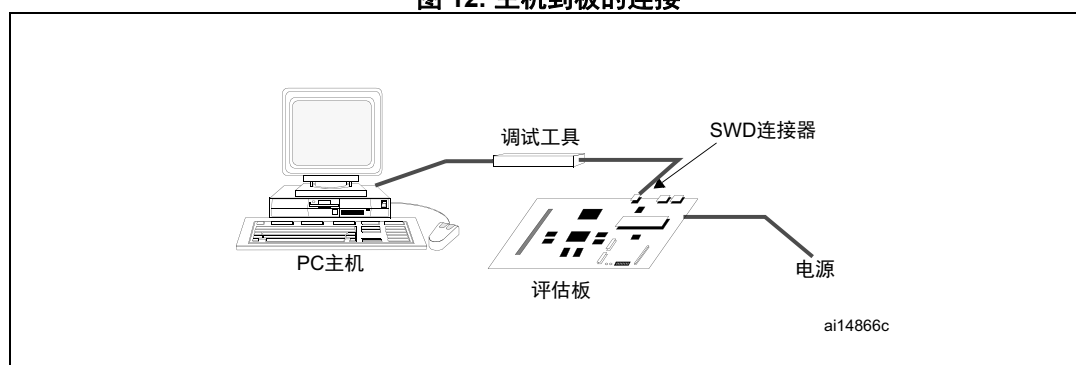
4.1 前言

主机 / 目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、软件连接器，以及连接主机与调试工具的电缆。

图 12 显示了主机到开发板的连接。

Nucleo 演示板内置了调试工具（ST-LINK），所以它可通过 USB 线直接连至 PC。

图 12. 主机到板的连接



4.2 SWD 调试端口（串行线）

STM32L0xx 内核集成了串行线调试端口 (SW-DP)。这是 ARM® 标准的 CoreSight™ 调试端口，配有用于连接调试访问端口的双引脚（时钟 + 数据）接口。

4.3 引脚排列和调试端口引脚

STM32L0xx MCU 提供各种不同的封装类型及各种数量的引脚。

4.4 串行线调试 (SWD) 引脚分配

所有 STM32L0xx 封装上都采用该 SWD 引脚分配。

表 4. SWD 端口引脚

SWD 引脚名称	SWD 端口		引脚分配
	类型	调试分配	
SWDIO	I/O	串行线数据输入 / 输出	PA13
SWCLK	I	串行线时钟	PA14

4.4.1 SWD 引脚分配

复位（SYSRESETn 或 PORESETn）后，将用于 SWD 的引脚指定为专用引脚，可供调试工具立即使用。

但是，MCU 为禁用 SWD 提供了可能，因此可释放相关引脚供通用 I/O（GPIO）使用。欲了解更多关于如何禁用 SWD 端口的详细信息，请参见参考手册 RM0367/0376/0377 上关于 I/O 引脚可选功能复用器和映射的章节。

4.4.2 SWD 引脚上的内部上拉和下拉

用户软件释放 SWD I/O 后，GPIO 控制器便会控制这些引脚。GPIO 控制寄存器的复位状态会将 I/O 置于同等状态：

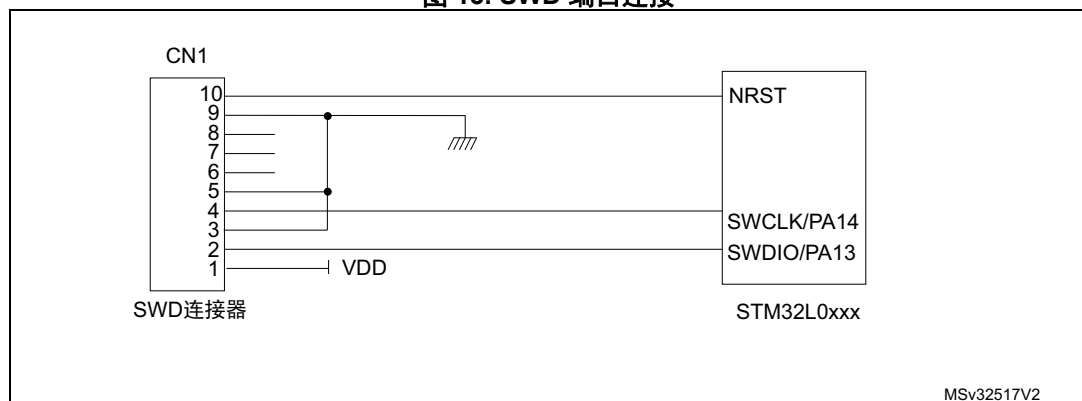
- SWDIO：复用功能上拉
- SWCLK：复用功能下拉

由于带有上拉和下拉电阻，因此无需添加外部电阻。

4.4.3 使用标准 SWD 连接器的 SWD 端口连接

图 13 显示了 STM32L0xx 和标准 SWD 连接器之间的连接。

图 13. SWD 端口连接



MSv32517V2

5 建议

5.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB）的单独一层专用于接地（ V_{SS} ），另一层专用于 V_{DD} 供电。这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

5.2 元件位置

PCB 的初始布局必须使单独的电路具有以下特性：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据电路的 EMI 贡献分离的电路。这会降低 PCB 上会引入噪声的交叉耦合。

5.3 接地和供电（ V_{SS} 、 V_{DD} 、 V_{SSA} 、 V_{DDA} ）

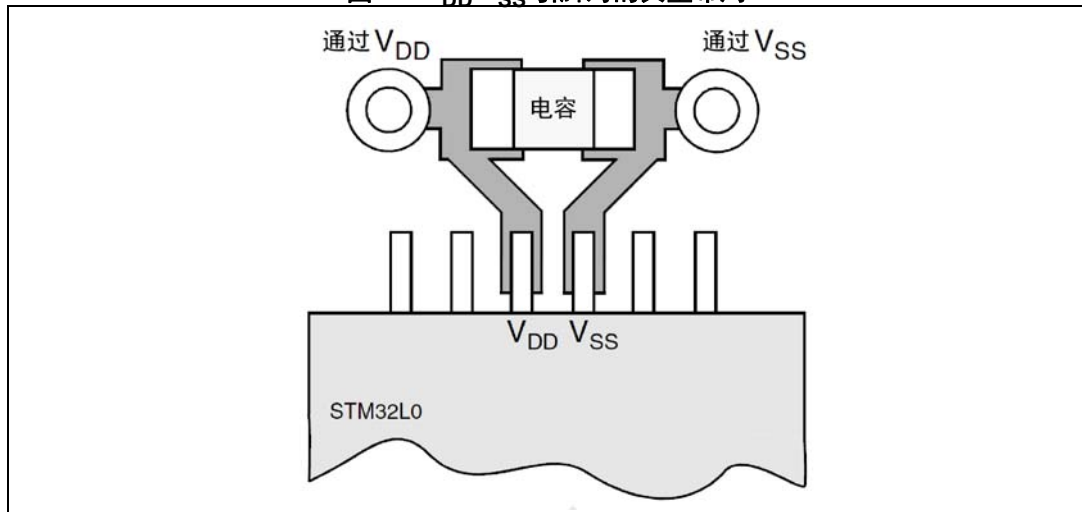
每个块（噪声、低电平敏感、数字等等）应单独接地，所有接地回路都应为一个点。必须避免出现环，或使环有最小面积。为提高模拟性能，您必须对 V_{DD} 和 V_{DDA} 使用单独的电源，将去耦电容放置在离器件尽可能近的位置。供电电源的实现应与地线尽可能近，以最小化供电环区域。这是因为供电环起到了天线及 EMI 主发收的作用。所有无元件的 PCB 区域都必须填充额外的接地，以创造屏蔽环境（尤其是当使用单层 PCB 时）。

5.4 去耦

所有供电和接地引脚都必须适当连至供电电源。这些连接，包括焊盘、线、过孔，都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每个供电电源对都应使用滤波陶瓷电容 C （100 nF）及约 10 μ F 的钽电容或陶瓷电容 C 去耦，两个电容并联在 Root part number 1 器件上。在某些封装中，多个 V_{DD} 使用同一个 V_{SS} ，而不是一对电源（每个 V_{DD} 对应一个 V_{SS} ），这种情况下电容必须在每个 V_{DD} 和公共 V_{SS} 之间。这些电容应放置在 PCB 下侧尽可能接近或低于适当引脚的位置。其典型值为 10 nF 至 100 nF，但准确值取决于应用需要。

[图 14](#) 显示了这种 V_{DD}/V_{SS} 对的典型布局。

图 14. V_{DD}/V_{SS} 引脚对的典型布局

5.5 其它信号

当设计应用时，可通过仔细研究以下几点来提高 EMC 性能：

- 临时扰动会永久影响运行过程的信号（中断和握手选通信号就是这个情况，但 LED 指令不是这个情况）。
对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。
对于数字信号，两个逻辑状态必须达到可能的最佳电气边界，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（如时钟）
- 敏感信号（如高阻）

5.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100% 的 MCU 资源。

为增加 EMC 性能、避免额外功耗，不使用的时钟、计数器、I/O 都不应浮空。应在不用的 I/O 引脚上都使用外部或内部上拉或下拉电阻将 I/O 连至固定逻辑电平 0 或 1。其它选项为使用软件将 GPIO 配置为输出模式。不使用的特性应被冻结或禁用为其默认值。

6 参考设计

6.1 说明

示于 [图 15](#) 中的参考设计基于 STM32L053RBT6。

使用 [表 7: 所有封装的参考连接](#) 中给出的引脚对应关系, 可将不同封装的任何 Root part number 1 器件定制此参考设计。

6.1.1 时钟

微控制器使用两个时钟源:

- LSE: X2 - 32.768 kHz 晶振用于嵌入式 RTC。
- HSE: X1 - 8 MHz 晶振用于 Root part number 1 微控制器

请参见 [第 2 节: 时钟](#)。

6.1.2 复位

[图 15](#) 中的复位信号为低电平有效。复位源包括:

- 复位按钮 (B1)
- 调试工具通过连接器 CN1 连接

请参见 [第 1.3 节: 复位和电源监控](#)。

6.1.3 自举模式

通过设置开关 SW1 (Boot 0) 配置自举选项。请参见 [第 3 节: 自举配置](#)。

注: 当从待机模式唤醒时, Boot 引脚被采样。在此情况下, 您需要注意它的值。

6.1.4 SWD 接口

参考设计显示了 Root part number 1 和标准 SWD 连接器之间的连接。请参见 [第 4 节: 调试管理](#)。

注: 建议连接复位引脚, 以便能从工具复位应用。

6.1.5 电源

请参见 [第 1 节: 电源](#)。

6.2 元件参考

表 5. 必备元件

参考	元件名称	值	数量	注释
U1A	微控制器	STM32L053R8(T6)	1	64 引脚封装
C8, C9, C10, C13	电容	100 nF	3 ... 5	陶瓷电容 (去耦电容)
C11	电容	4.7 μ F	1	钽电容 / 化学电容 / 陶瓷电容 (去耦电容)
C6, C12	电容	1 μ F	2	陶瓷电容 (LCD 调压器或去耦电容)

表 6. 可选元件

参考	元件名称	值	数量	注释
R1	电阻	390 Ω	1	用于 HSE: 值取决于晶振特性, 参见应用笔记 AN2687
C5	电容	100 nF	1	陶瓷电容
C1, C2	电容	6.8 pF	2	用于 LSE: 值取决于晶振特性。适合 MC-306 32.768K-E3, 它有一个 6 pF 的负载电容。
C3, C4	电容	20 pF	2	用于 HSE: 值取决于晶振特性, 参见应用笔记 AN2687
X1	石英	8 MHz	1	用于 HSE
X2	石英	32.764 kHz	1	用于 LSE
CN1	SWD 连接器	HE10	1	-
SW1	开关	-	2	用于选择正确的自举模式
B1	按钮	-	1	-
L1	铁氧体磁环	-	1	对于 V_{DDA} 电源上的 EMC 下降, 可通过 V_{DD} 和 V_{DDA} 之间的直接连接来代替

表 7. 所有封装的参考连接

封装	LQFP				BGA		CSP			QFN		
引脚数	32	48	64	100	64	100	25	36	49	28	32 ⁽¹⁾	32 ⁽²⁾
V _{LCD}	-	1	1	6	B2	E2	-	-	B6	-	-	-
PC14-OSC32_IN	2	3	3	8	A1	D1	A5	A6	C6	2	2	1
PC15-OSC32_OUT	3	4	4	9	B1	E1	B5	B6	C7	3	3	2
PH0-OSC_IN	-	5	5	12	C1	F1	-	-	D6	-	-	-
PH1-OSC_OUT	-	6	6	13	D1	G1	-	-	D7	-	-	-
NRST	4	7	7	14	E1	H2	C5	C6	D5	4	4	3
V _{SSA}	-	8	12	19	F1	J1	-	-	-	-	-	4
V _{REF-}	-	-	-	20	-	K1	-	-	-	-	-	-
V _{REF+}	-	-	-	21	G1	L1	-	E6	E6	-	-	-
V _{DDA}	5	9	13	22	H1	M1	D4	D5	F7	5	5	5
V _{SS_4}	-	-	18	27	C2	E3	-	-	-	-	-	-
V _{DD_4}	-	-	19	28	D2	H3	-	-	-	-	-	-
V _{SS_1}	16	23	31	49	D5	F12	-	-	D4	-	-	16
V _{DD_1}	17	24	32	50	E5	G12	-	F1	G2	-	17	17
PA13	23	34	46	72	A8	A11	A1	A1	C2	21	23	23
V _{DD_5}	-	-	-	73	-	C11	-	-	-	-	-	-
V _{SS_2}	-	35	47	74	D6	F11	D5	-	-	-	-	-
V _{DD_USB}	-	36	48	75	E6	G11	-	-	A1	-	-	24
PA14	24	37	49	76	A7	A10	C2	B2	B2	22	24	25
BOOT0	31	44	60	94	B4	A4	C4	C5	A5	1	31	30
V _{SS_3}	32	47	63	99	D4	D3	-	D6	-	-	-	31
V _{DD_3}	1	48	64	100	E4	C4	-	A5	A7	-	1	32

1. 类别 2/3 器件

2. 类别 5 器件

7 版本历史

表 8. 文档版本历史

日期	版本	变更
2014 年 4 月 24 日	1	初始版本
2015 年 1 月 22 日	2	更新了第 1.1 节: 前言、第 1.1.1 节: 独立 A/D 转换器电源和参考电压、第 1.1.3 节: 调压器和第 2.2.1 节: 外部源 (HSE 旁路)。增加了表 3: 不同设备类别的接口。 更新了表 1: V_{LCD} 引线 with GPIO 引脚的连接和表 7: 所有封装的参考连接。

表 9. 中文文档版本历史

日期	版本	变更
2017 年 12 月 10 日	1	中文初始版本

重要通知 - 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和 / 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于 ST 产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对 ST 产品的选择和使用，ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的 ST 产品如有不同于此处提供的信息的规定，将导致 ST 针对该产品授予的任何保证失效。

ST 和 ST 徽标是 ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2017 STMicroelectronics - 保留所有权利